

32529

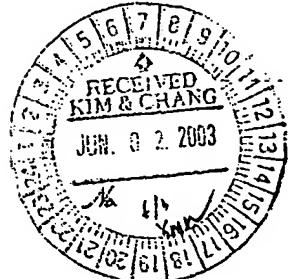
출력 일자: 2003/6/2

발송번호 : 9-5-2003-020685291
발송일자 : 2003.05.31
제출기일 : 2003.07.31

수신 : 서울 종로구 내자동 219 한누리빌딩(김
장 특허법률사무소)
장수길 귀하

110-053

특허청 의견제출통지서



이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는 / 및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

- 92 -

본 발명의 청구범위 제1항, 제11항에서 기준블럭의 출력신호를 연산증폭기에 입력하고 그 출력신호를 가변상호컨덕턴스증폭기애 인가하고 이의 출력을 커먼모드 피드백하는 기술적 수단(사상)은 일본 특허공개 평11-88093호(1999.03.30)에서 보여주는 대수변환회로 및 트랜스 컨버터의 기술적 수단(사상)과 유사하고, 가변상호컨덕턴스증폭기로부터 차동회로를 통해서 마스터 블록의 가변상호컨덕턴스증폭기와 슬레이브 블록의 가변상호컨덕턴스증폭기로 차동모드 피드백하는 기술적 수단(사상)은 미국 특허공보 제5278518호(1994.01.11)의 그림1,4,5에서 보여주는 차동궤한 증폭하고 지수이득조절하는 증폭회로의 기술적 수단(사상)들과 유사하고 이들의 결합에 의하여 당업자 수준에서 용이하게 발명할 수 있다고 판단합니다.

[첨 부]

첨부 1 인용발명1

2003.05.31

특허청

심사4국

전자심사담당관실

심사관 권호영

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-88093

(43)公開日 平成11年(1999)3月30日

(51)Int.Cl.⁶

識別記号

F I

H 0 3 G 11/08

H 0 3 G 11/08

H 0 3 F 3/45

H 0 3 F 3/45

I 1 0 3 H 11/04

H 0 3 H 11/04

Z

D

審査請求 未請求 請求項の数 9 O L (全 13 頁)

(21)出願番号

特願平9-237971

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22)出願日 平成9年(1997)9月3日

(72)発明者 板倉 哲朗

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72)発明者 上野 隆

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72)発明者 谷本 洋

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

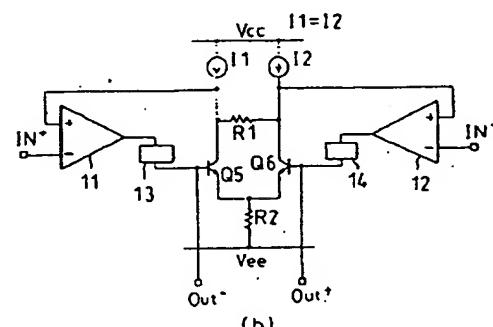
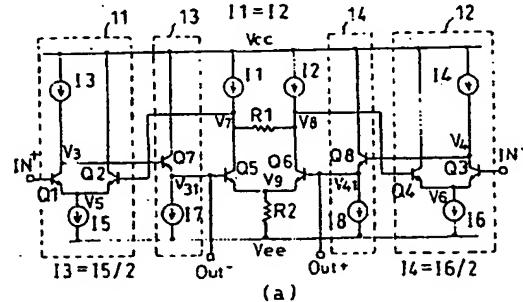
(74)代理人 弁理士 外川 英明

(54)【発明の名称】 対数変換回路及びこれを用いたトランスコンダクター

(55)【要約】

【課題】低い電源電圧で入力信号の広い電圧振幅範囲に渡って安定に動作する対数変換回路及びトランスコンダクターを提供することを目的とする。

【解決手段】入力信号を増幅する第1及び第2の増幅手段と、第1及び第2の増幅手段の出力電圧をレベルシフトする第1及び第2のレベルシフト手段と、第1及び第2のレベルシフト手段の出力端にベースがそれぞれ接続され、エミッタが互いに結合され、コレクタから第1及び第2の増幅手段にそれぞれ帰還が施された第1及び第2のトランジスタと、第1及び第2のトランジスタのコレクタ間に配設されたインピーダンス素子と、第1及び第2のトランジスタのベース・エミッタ間電圧に応じた出力信号を取り出す出力手段とを備える。



【特許請求の範囲】

【請求項1】 入力信号を増幅する第1及び第2の増幅手段と、

前記第1及び第2の増幅手段の出力電圧をレベルシフトする第1及び第2のレベルシフト手段と、

前記第1及び第2のレベルシフト手段の出力端にベースがそれぞれ接続され、エミッタが互いに結合され、コレクタから前記第1及び第2の増幅手段にそれぞれ帰還が施された第1及び第2のトランジスタと、

前記第1及び第2のトランジスタのコレクタ間に配設されたインピーダンス素子と、前記第1及び第2のトランジスタのベース・エミッタ間電圧に応じた出力信号を取り出す出力手段とを備えたことを特徴とする対数変換回路

【請求項2】 第1及び第2の入力端子がそれぞれ正の入力端に接続され、正の出力端から負の入力端に帰還経路を備える第1及び第2の増幅手段と、

前記第1及び第2の増幅手段の負の出力端にベースがそれぞれ接続され、エミッタが互いに結合され、コレクタから前記第1及び第2の増幅手段の負の入力端に帰還が施された第1及び第2のトランジスタと、

前記第1及び第2のトランジスタのコレクタ間に接続されたインピーダンス素子と、前記第1及び第2のトランジスタのベース・エミッタ間電圧に応じた出力信号を取り出す出力手段とを備えたことを特徴とする対数変換回路。

【請求項3】 第1及び第2の入力端子がそれぞれ正の入力端に接続され、正の出力端から負の入力端に帰還経路を備える第1及び第2の増幅手段と、

前記第1及び第2の増幅手段の負出力の出力電圧をレベルシフトする第1及び第2のレベルシフト手段と、

前記第1及び第2のレベルシフト手段の出力端にベースがそれぞれ接続され、エミッタが互いに結合され、コレクタから前記第1及び第2の増幅手段の負の入力端に帰還が施された第1及び第2のトランジスタと、

前記第1及び第2のトランジスタのコレクタ間に接続されたインピーダンス素子と、前記第1及び第2のトランジスタのベース・エミッタ間電圧に応じた出力信号を取り出す出力手段とを備えたことを特徴とする対数変換回路。

【請求項4】 ベースが第1及び第2の入力端子にそれぞれ接続された第1及び第2のトランジスターと、コレクタが前記第1及び第2のトランジスターのエミッタにそれぞれ第1及び第2のレベルシフト手段を介して接続され、エミッタが互いに結合された第3及び第4のトランジスターと、

前記第3及び第4のトランジスターのコレクタ間に接続されたインピーダンス素子と、

前記第1及び第2のトランジスターのコレクタが前記第3及び第4のベースに接続され、前記第3及び第4のトランジスターのベース・エミッタ間電圧に応じた出力信号を取り出す出力手段とを備えたことを特徴とする対数変換回路。

【請求項5】 ベースが第1及び第2の入力端子にそれぞれ接続された第1及び第2のトランジスターと、コレクタが前記第1及び第2のトランジスターのエミッタにそれぞれ第1及び第2のレベルシフト手段を介して接続され、エミッタが互いに結合された第3及び第4のトランジスターと、前記第3及び第4のトランジスターのコレクタ間に接続されたインピーダンス素子と、

前記第1及び第2のトランジスターのコレクタから前記第3及び第4のベースに第3及び第4のレベルシフト手段を介して接続され、前記第3及び第4のトランジスターのベース・エミッタ間電圧に応じた出力信号を取り出す出力手段とを備えたことを特徴とする対数変換回路。

【請求項6】 ベースが第1及び第2の入力端子にそれぞれ接続された第1及び第2のトランジスターと、コレクタが前記第1及び第2のトランジスターのエミッタにそれぞれ第1及び第2のレベルシフト手段を介して接続され、エミッタが互いに結合された第3及び第4のトランジスターと、前記第1及び第2のトランジスターのエミッタ間に接続されたインピーダンス素子と、

前記第1及び第2のトランジスターのコレクタが前記第3及び第4のトランジスターのベースに接続され、前記第3及び第4のトランジスターのベース・エミッタ間電圧に応じた出力信号を取り出す出力手段とを備えたことを特徴とする対数変換回路。

【請求項7】 ベースが第1及び第2の入力端子にそれぞれ接続された第1及び第2のトランジスターと、コレクタが前記第1及び第2のトランジスターのエミッタにそれぞれ第1及び第2のレベルシフト手段を介して接続され、エミッタが互いに結合された第3及び第4のトランジスターと、前記第1及び第2のトランジスターのエミッタ間に接続されたインピーダンス素子と、

前記第1及び第2のトランジスターのコレクタから前記第3及び第4のベースに第3及び第4のレベルシフト手段を介して接続され、前記第3及び第4のトランジスターのベース・エミッタ間電圧に応じた出力信号を取り出す出力手段とを備えたことを特徴とする対数変換回路。

【請求項8】 対数変換回路と、差動対により構成される逆対数変換回路により構成されたトランスクンダクターにおいて、前記対数変換回路は請求項1または請求項2または請求項3または請求項4または請求項5または請求項6または請求項7記載の対数変換回路であることを特徴とするトランスクンダクター。

【請求項9】 集積回路上に形成されたトランスクンダクターにおいて、前記トランスクンダクターは請求項8記載のトランスクンダクターであり、また、前記対数変換回路の前記インピーダンス素子は集積化された抵抗素子であり、前記対数変換回路は集積化された抵抗素子を

用いた第1のバイアス電流発生手段を具備し、前記述対数変換回路は集積回路の外部に設けられた抵抗素子を用いた第2のバイアス電流発生手段を具備することを特徴とするトランスコンダクター。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、対数変換回路及びこれを用いたトランスコンダクターに関する。

【0002】

【従来の技術】従来アクティブフィルタを構成する手法として、例えば図12に示すようにトランスコンダクターQ1～Q8と容量を用いる手法がある。扱える信号振幅を広くするためため、従来、トランスコンダクターは図13に示したように線形入力範囲を広くした対数変換回路1とトランジスタQ20、Q21による差動付で構成される逆対数変換回路2で構成されてきた。

【0003】また線形入力範囲を広く取れる対数変換回路として、例えば図14及び図15(a)に示す特開平06-90127号公報で提案されている対数変換回路がある。

【0004】図14に示す対数変換回路は、差動入力信号がIN+とIN-の間に印加され、トランジスタQ1に電流I1が流れるようにトランジスタQ5、Q3を介して帰還がかかり、またトランジスタQ2に電流I2(I1)が流れるようにトランジスタQ6、Q4を介して帰還がかかり、これによりトランジスタQ1及びQ2のエミッタ電位V1及びV2は、おのおの入力端子IN+及びIN-の電位からVbeだけレベルシフトした電位となり、抵抗R1にかかる電圧は差動入力信号と等しくなる。

【0005】差動入力信号電圧をVdとすると、トランジスタQ3には、 $(1-Vd/R1)$ なる電流が流れ、トランジスタQ4には、 $(1-Vd/R1)$ なる電流が流れ、おのおの電流に応じて対数変換された電圧がトランジスタQ3及びQ4のベース・エミッタ間に発生する。

【0006】図14に示す対数変換回路では、トランジスタQ3及びQ4が飽和してしまうとトランジスタQ5及びQ3、あるいはトランジスタQ6及びQ4で構成される帰還回路が正常に動作しなくなる。よって、トランジスタQ3及びQ4を非飽和で動作させるためには、トランジスタQ3及びQ4のコレクタ・エミッタ間に0.1V程度の電圧Vce(sat)が必要となる。また、Q4及びQ5の共通エミッタ電圧Veは次に接続される逆対数変換回路を正常に動作させるために0.1V程度必要となる。よって、この対数変換回路における同相入力電圧の最小値Vc($\sim 0.1V + Vce(sat)$) ($\sim 0.1V + Vbe(\sim 0.7V)$) はほぼ0.9Vとなってしまう。

【0007】次に図15(a)に示す対数変換回路では、図14に示す構成とは異なり、トランジスタが織込みになつてないので、同相入力電圧の最小値Vc($\sim 0.1V + Vbe$)は、ほぼ0.5Vと図14の対数変換回路より0.1V

程度小さくすることができ、この分入力電圧範囲を広く取ることができる。

【0008】しかしながら、図15(a)に示す対数変換回路を用いて図13示す構成で実現したトランスコンダクターの差動入力信号電圧-出力電流特性は、図16に示すように差動入力電圧に例えれば1V程度かかるとトランスコンダクターの動作の極性が逆になつてしまつたり、対数変換回路の差動出力電圧の極性が逆転してしまうという問題点があつた。

【0009】ここで極性が反転する動作を簡単に説明する。線形入力電圧範囲は $I1/R1$ で表される。差動入力信号電圧Vdが線形入力電圧範囲にある時は、上述の通り、トランジスタは全て非飽和で動作し、線形入力電圧範囲にVdがある間、Vdの対数変換された電圧としてV3及びV4の電位を発生する。Vdが大きくなり、線形入力電圧範囲から外れると、この時電流I1は全て抵抗R1に流れ、トランジスタQ5はオフしてしまう。この様子を図15(b)に示す。

【0010】この時、電流I1及びI2はトランジスタQ6に流れ、トランジスタQ6のベース電位V4は、 $(I1+I2)R2 + Vbe/Q6$ でほぼ一定の値を取る。この状態でもトランジスタQ6は、エミッタ接地の増幅回路として動作し、トランジスタQ3及びQ4は差動増幅回路として動作しており、その結果、V3はIN-の電位に応じて下がっていく。Vdが線形入力電圧範囲から外れると、V7は $V3 + I1 \cdot R1$ で決まっているので、Vdが大きくなるにつれ(つまり、IN+の電位が上がり、IN-の電位が下がる)、V7はV3に応じて下がる。V7はIN+の電位より低いためトランジスタQ2もオフする。トランジスタQ1のエミッタから電流I5を流そうとするがコレクタに供給される電流I3は、 $I3=I5/2$ なので、トランジスタQ1は飽和し、トランジスタQ1のベースから残りの電流 $I5/2$ が供給される。

【0011】トランジスタQ1のコレクタ電位V5は、トランジスタQ1が飽和しているため、エミッタ電位V5からおよそ0.1V程度高い電位まで急激に下がる。しかし、V5は、IN+の電位に応じて上がるため、従って、V3もIN+の電位に応じて上がる。この状態から、さらにVdを大きくする(IN+の電位を高くし、IN-の電位を低くする)と、やがて、V3とV4が逆転してし、極性が反転する。

【0012】よって、このトランスコンダクターを用いて実現したフィルタでは、一旦、1V程度の電圧がいずれかのトランスコンダクターにかかると、そのトランスコンダクターを介したループが正帰還となつてしまい、発振を引き起すという問題があつた。

【0013】

【発明が解決しようとする課題】上述したように、従来の線形入力範囲の広い対数変換回路では、同相入力電圧範囲が狭まつたり、あるいは、過大な差動入力信号電圧

に対して発振を引き起こすという問題があった。

【0014】本発明は、上記従来技術の有する問題点に鑑みてなされたもので、その目的とするところは、線形入力範囲及び同相入力電圧が広く、かつ安定に動作する対数変換回路を提供することである。

【0015】

【課題を解決するための手段】差動入力信号を増幅する第1及び第2の増幅手段と、第1及び第2の増幅手段の出力電圧をレベルシフトする第1及び第2のレベルシフト手段と、第1及び第2のレベルシフト手段の出力端にベースがそれぞれ接続され、エミッタが互いに結合され、コレクタから第1及び第2の増幅手段にそれぞれ帰還が施された第1及び第2のトランジスタと、第1及び第2のトランジスタのコレクタ間に配設されたインピーダンス素子と、第1及び第2のトランジスタのベース・エミッタ間電圧に応じた出力信号を取り出す出力手段とを備えることを特徴とする。

【0016】

【作用】本発明の対数変換回路によれば、用いる増幅手段の正入力端と負入力端の間に正入力端が低くなるような電圧が印加された開ループ時の増幅手段の出力電圧が、増幅手段の負入力端の電位に依存するような場合でも、線形入力電圧範囲を外れて差動入力信号電圧が印加された時にオフする第1あるいは第2のトランジスタのベース電位はレベルシフト手段にて増幅手段の出力電圧より低くなるため、線形入力電圧範囲を外れて対数変換回路に入力される差動入力信号電圧が大きくなり対数変換回路の出力電圧の極性が逆転する入力電圧をレベルシフト電圧に応じて大きくできるので、過大な差動入力信号電圧に対する安定性を改善することができる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。図1(a)は本発明が適用された対数変換回路を示す図で、図2は図1(a)に差動入力信号電圧Vdを印加した時の各ノード電圧を示している、また、図3は図1,2示す構成で実現したトランジスタコンダクターに差動入力信号電圧Vdを印加した時の差動入力信号電圧-出力電流特性である。

【0018】図1(a)の対数変換回路において、トランジスタQ1, Q2及び電流源I3, I5にて増幅手段11を構成し、トランジスタQ3, Q4及び電流源I4, I6にて増幅手段12を構成し、トランジスタQ7及び電流源I7はレベルシフト手段13を構成し、トランジスタQ8及び電流源I8はレベルシフト手段14を構成し、増幅手段11の負入力端であるトランジスタQ1のベースは入力端子IN+に接続され、出力端であるトランジスタQ1のコレクタは、レベルシフト手段13を介してトランジスタQ5のベースに接続され、増幅手段12の負入力端であるトランジスタQ3のベースは入力端子IN-に接続され、出力端であるトランジスタQ3のコレクタは、レ

ベルシフト手段14を介してトランジスタQ6のベースに接続され、トランジスタQ5とQ6のエミッタは互いに結合されて抵抗R2を介して電源Veeに接続され、トランジスタQ5のコレクタは増幅手段11の正入力端であるトランジスタQ2ベースに接続され、トランジスタQ6のコレクタは増幅手段12の正入力端であるトランジスタQ4のベースに接続され、トランジスタQ5とQ6のコレクタ間に抵抗R1が接続されている。

【0019】差動入力信号電圧がIN+, IN-端子間に印加され、トランジスタQ5及びQ6のベース・エミッタ電圧に応じた電圧が、Out+, Out-端子から出力される。ここで図1(a)に示す対数変換回路の動作を説明する。差動入力信号電圧Vdが線形入力電圧範囲内にある時は、図1(b)に示すように、増幅手段11, 12の出力からレベルシフト手段13, 14と、トランジスタQ5, Q6、電流源I1, I2及び抵抗R1, R2で構成される増幅回路による帰還回路を介して、増幅手段11, 12の正入力に負帰還がかかるおり、抵抗R1の両端にはIN+及びIN-端子に印加される差動入力信号電圧Vdがかかり、抵抗R1にはVd/R1なる電流が流れ。よって、トランジスタQ5及びQ6には、それぞれ、I1-Vd/R1, I1+Vd/R1なる電流が流れ。

【0020】トランジスタQ5及びQ6のベース・エミッタ電圧はそれぞれに流れる電流の対数変換し、かつ、電流電圧変換されたもので、Out+及びOut-端子から差動入力信号電圧を対数変換した電圧として出力される。

【0021】線形入力電圧範囲は、上記動作をしている範囲で、 $I1 - Vd/R1 = 0$ となるVd、つまり、I1・R1が線形入力電圧範囲となる。ここで差動入力信号電圧Vdが、線形入力電圧範囲を超えるとすると、電流I1は全て抵抗R1を介して、トランジスタQ6に流れ、トランジスタQ5がオフし、トランジスタQ6のベース電位V41が決まるのは従来例で説明した通りである。また、トランジスタQ2がオフし、トランジスタQ1が飽和し、増幅手段11の出力であるトランジスタのコレクタ電位V3が決まるのも従来例で説明した通りである。従来例の場合と異なるのは、レベルシフト手段13によりトランジスタQ5のベース電位V31はV3よりレベルシフト手段13を構成するトランジスタQ7のベース・エミッタ電圧Vbe107だけ低い点で、従来例では、図17に示すようにVdが線形入力電圧範囲から外れると、トランジスタQ5のベース電位(=トランジスタQ1のコレクタ電位)V3は0.9V程度しか下がらないのに対して、本発明の対数変換回路では、図2に示すようにトランジスタQ5のベース電位V31は0.1V程度まで下がっている。

【0022】よってVdがさらに△Vd大きくなり、つまりIN+の電位が△Vd/2上がり、IN-の電位が△Vd/2下がると、飽和しているトランジスタQ1のコレクタ電位V3及びトランジスタQ5のベース電位V31は、IN+の電位に応じて上がるが、V31がトランジスタQ5のベース電位

V_{H1}と等しくするには、従来例より、レベルシフト手段13のレベルシフト電圧であるトランジスタQ7のベース・エミッタ電圧V_{be1}(Q7だけIN+の電位を上げないとつまり、2倍のV_{be1}だけVdを上げないと)V₃₁とV₄₁は等しくならない。

【0023】よって、差動入力信号電圧が線形入力電圧範囲より大きくなつても、対数変換回路出力の極性が変わる差動入力信号電圧を従来より大きくできるので、安定性を改善することができる。

【0024】図3は、図1(a)の対数変換回路を用いたトランスコンダクターの入力電圧-出力電流の特性を示す図で、上述した通り、出力の極性逆転が生じていない。図4(a)は、本発明の第2の実施例である対数変換回路を示す図で、図5は図4(a)に差動入力信号電圧Vdを印加した時の各ノード電圧を示している。また、図6は図13示す構成で実現したトランスコンダクターに差動入力信号電圧Vdを印加した時の差動入力信号電圧-出力電流特性である。

【0025】図4(a)の対数変換回路において、トランジスタQ1、Q2及び電流源I3、I5、I9にて増幅手段11を構成し、トランジスタQ3、Q4及び電流源I4、I6、I10にて増幅手段12を構成し、増幅手段11の正入力端であるトランジスタQ1のベースは入力端子IN+に接続されている。負出力端であるトランジスタQ1のコレクタは、トランジスタQ5のベースに接続され、増幅手段12の正入力端であるトランジスタQ3のベースは入力端子IN-に接続されている。また負出力端であるトランジスタQ3のコレクタは、トランジスタQ6のベースに接続され、トランジスタQ5とQ6のエミッタは互いに結合されて抵抗R2を介して電源Veeに接続され、トランジスタQ5のコレクタは増幅手段11の負入力端であるトランジスタQ2のベースと正出力端であるトランジスタQ2のコレクタに接続されている。またトランジスタQ6のコレクタは増幅手段12の負入力端であるトランジスタQ4のベースと正出力端であるトランジスタQ4のコレクタに接続され、トランジスタQ5とQ6のコレクタ間に抵抗R1が接続されている。

【0026】このように差動入力信号電圧がIN+、IN-端子間に印加され、トランジスタQ5及びQ6のベース・エミッタ電圧に応じた電圧が、Out+、Out-端子から出力される。

【0027】図4(a)に示す対数変換回路の動作を説明する。差動入力信号電圧Vdが線形入力電圧範囲内にある時は、図4(b)に示すように、増幅手段11、12はおのおの正出力端と負入力端が接続されたボルテージフィードバック構成となっており、抵抗R1の両端にはIN+及びIN-端子に印加される差動入力信号電圧Vdがかかっている。また、増幅手段11、12の負出力端からトランジスタQ5、Q6、電流源I1、I2及び抵抗R1、R2で構成される増幅回路による帰還回路を介して、増幅手段11、

12の負入力端に負帰還がかかっており、このループでも抵抗R1の両端にはIN+及びIN-端子に印加される差動入力信号電圧Vdがかかるように動作する。

【0028】よって、抵抗R1にはVd/R1なる電流が流れ、トランジスタQ5及びQ6には、それぞれ、I1-Vd/R1、I1+Vd/R1なる電流が流れる。トランジスタQ5及びQ6のベース・エミッタ電圧はそれに流れる電流の対数変換し、かつ電流電圧変換されたもので、Out+及びOut-端子から差動入力信号電圧を対数変換した電圧として出力される。線形入力電圧範囲は、上記動作をしている範囲で、I1-Vd/R1=0となるVd、つまり、I1-R1が線形入力電圧範囲となる。

【0029】Vdが線形入力電圧範囲を超えるようすると、電流I1は全て抵抗R1を介して、トランジスタQ6に流れ、トランジスタQ5がオフしてトランジスタQ5のベース電位V3が0.9V程度に下がるのは従来例で説明した通りである。さらに、差動入力信号電圧が線形入力電圧範囲より大きくなると、これに応じてトランジスタQ5のベース電位V3が大きくなるのは従来例で説明した通りである。

【0030】トランジスタQ6のベース電位V4が決まるのは従来例で説明した通りであるが、本対数変換回路では、Vdが線形入力電圧範囲を超えて大きくなると、徐々にトランジスタQ2に流れていた電流I9がR1を介してトランジスタQ6に流れ、トランジスタQ6のエミッタ電位V9が高くなる。Vdが大きくなり電流I9が全てR1を介してトランジスタQ6に流れた時のトランジスタQ6のベース電位V4は、(I1+I2+I9)R2+V_{be1}I06で、Vdをこれ以上大きくしてもほぼ一定の値を取る。

【0031】よって、従来にくらべ、トランジスタQ6のベース電位V4をI9×R2だけ高くする事ができるので、差動入力信号電圧Vdが線形入力電圧範囲より大きくなり、トランジスタQ5のベース電位V3が上がり、トランジスタQ6のベース電位V4と大小関係が逆転して、極性が反転する差動入力信号電圧を従来より大きくできるので、安定性を改善することができる。

【0032】図6は、図4(a)の対数変換回路を用いたトランスコンダクターの入力電圧-出力電流の特性を示す図で、上述した通り、出力の極性逆転が生じていない。なお、図4(a)に示す対数変換回路において、電流源I9とI1を、また、電流源I2とI10をひとつにまとめてもよい。

【0033】また、図7に示すように、図4(a)に示す対数変換回路に、図1(a)の対数変換回路で説明したレベルシフト手段を適用して、極性が反転する差動入力信号電圧をさらに大きくできる。

【0034】図8に示すように、図4(a)に示す対数変換回路において、抵抗R2を配設する位置をトランジスタQ5及びQ6のコレクタ間から、トランジスタQ1及びQ2のエミッタ間に変てもよい。

【0035】図9は図8に示す対数変換回路に差動入力信号電圧 Vd を印加した時の各ノード電圧を示している、また、図10は図13示す構成で実現したトランスコンダクターに差動入力信号電圧 Vd を印加した時の差動入力信号電圧-出力電流特性である。

【0036】ここで図8に示す対数変換回路の動作を説明する。説明を簡単にするため、図8中に示す電流源の電流の関係は以下の通りとする。 $I1=I2=I3=I4=I9=I10=I5/2=I6/2$ 差動入力信号電圧 Vd が線形入力電圧範囲内にあるときは、トランジスタQ1及びQ2におのおの電流 $I3$ 及び $I4$ が流れるようにトランジスタQ1及びQ3のコレクタから、トランジスタQ5及びQ6とレベルシフト段として動作するダイオードQ2及びQ4を介してトランジスタQ1及びQ3のエミッタにそれぞれ帰還されている。これにより、トランジスタQ1及びQ3のエミッタ電位 $V5$ 及び $V6$ は、おのおの入力端子IN+及びIN-の電位から Vbe だけレベルシフトした電位となる。

【0037】つまり、IN+とIN-に印加される差動入力信号電圧 Vd は、抵抗R1の両端にかかる。この時、抵抗R1には、 $Vd/R1$ なる電流が流れ、ダイオードQ2には $I9+Vd/R1$ なる電流が流れ、ダイオードQ4には $I10-Vd/R1$ なる電流が流れ、また、トランジスタQ5には $I1-Vd/R1$ なる電流が流れ、トランジスタQ6には $I2+Vd/R1$ なる電流が流れ。

【0038】トランジスタQ5及びQ6のベース・エミッタ電圧は、それぞれに流れる電流の対数変換し、かつ電流電圧交換されたもので、Out+及びOut-端子から差動入力信号電圧を対数変換した電圧として出力される。

【0039】線形入力電圧範囲は、上記動作をしている範囲で、 $I1-Vd/R1=0$ となる Vd 、つまり、 $I1 \times R1$ が線形入力電圧範囲となる。差動入力信号電圧 Vd が、線形入力電圧範囲を超えるとすると、電流 $I1$ は全てダイオードQ2及び抵抗R1を介して電流源I6に流れ。この時、電流 $I4$ は全てトランジスタQ3を介して電流源I6に流れたり、 $I1+I4=I6$ なので、電流 $I10$ は、ダイオードQ4を介して流れることなく、全てトランジスタQ6に流れる。

【0040】また、トランジスタQ5には電流が流れなくなるためオフし、その結果トランジスタQ5を介した帰還がからなくななり、トランジスタQ1は飽和し、トランジスタQ1のコレクタ電位 $V3$ が0.9V程度まで下がる。

【0041】さらに差動入力信号電圧 Vd が線形入力電圧範囲より大きくなると、これに応じてトランジスタQ5のベース電位 $V3$ が大きくなるのは従来例で説明した通りである。

【0042】また、図9に示すように、 $V5$ が上がり、トランジスタQ1のベース電流 Ib が抵抗R1を介して電流源I6に流れため、トランジスタQ3を介して供給された電流は $I4$ から $I4-Ib$ となり、 Ib 分はトランジスタQ6のベースに流れ込みベース電位を上げる。 Vd が大きくな

なり、 $Ib=I4$ となると、電流源I4から供給される電流は全てトランジスタQ6のベースに流れ込み、トランジスタQ6のベース電位 $V4$ を従来に比べて $I4 \times R2$ だけ高くすることができる。差動入力信号電圧 Vd が線形入力電圧範囲より大きくなり、Q5のベース電位 $V3$ が上がり、Q6のベース電位 $V4$ と大小関係が逆転して、極性が反転する差動入力信号電圧を従来より大きくできるので、安定性を改善することができる。

【0043】図10に示すように、図8の対数変換回路を用いたトランスコンダクターの入力電圧-出力電流の特性を示す図で、上述した通り、出力の極性逆転が生じていない。

【0044】なお、図8に示す対数変換回路において、電流源I9とI1を、また、電流源I2とI10をひとつにまとめてよい。また、図11に示すように、図8に示す対数変換回路に、図1(a)の対数変換回路で説明したレベルシフト手段を適用して、極性が反転する差動入力信号電圧をさらに大きくなる。

【0045】以上説明してきた本発明の対数変換回路と図13に示すように差動対を用いた逆対数変換回路によるトランスコンダクターを集積化する際、図18に示すように対数変換回路で用いている電流源は集積化した抵抗素子の値に逆比例するように電流を発生させ、逆対数変換回路で用いる電流源は、集積回路の外部に設けた抵抗素子 $Rext$ の値に逆比例するように電流を発生させることにより、集積化した抵抗素子の抵抗値がばらつきてもトランスコンダクターで実現するトランスコンダクタンスのばらつきを抑えることができる。

【0046】以下、図1(a)の対数変換回路を用いた図13に示すトランスコンダクターで詳細に説明するトランスコンダクタンスGは、トランスコンダクターが出力できる最大電流と、入力できる線形入力電圧範囲の比となり、次式で表される。

【0047】 $G = I20/(2R1 \times I1)$
 対数変換回路の電流 $I1$ をはじめとするバイアス電流を $I1$ の4倍の $VT (=kT/q)$ 、ここでは k はボルツマン定数、 T は絶対温度、 q は電子の電荷) が集積化した抵抗 $Rinit$ かかるようにトランジスタQB1とQB2のエミッタ面積比を1:4にとる構成とした VT 比例電流源で得られる電流をトランジスタQB4～QB14と抵抗RB2～RB12で構成されるカレントミラー回路で複製して供給し、逆対数変換回路の電流 $I20$ をはじめとするバイアス電流を $I1$ の4倍の VT が集積回路の外部に設けた抵抗 $Rext$ にかかるようにトランジスタQB15とQB16のエミッタ面積比を1:4にとる構成とした VT 比例電流源で得られる電流をトランジスタQB15～QB23と抵抗RB13～RB19で構成されるカレントミラー回路で複製して供給するトランスコンダクタンスGは、

$G = Rinit/(R1 \times Rext)$
 となり、集積化した抵抗($R1, Rinit$)がおのおの4倍に

ばらついても上の式に示す通り、 α がキャンセルされる。また、集積回路の外部に設けた抵抗 R_{ext} は精度が1%のもので実現できるのでトランスコンダクタンスはほとんどばらつかない。

【0048】また、線形入力電圧範囲は $R1$ と集積化した抵抗素子の値に逆比例をするように発生した電流の積となるので、集積化した抵抗がおのれの α 倍されても、線形入力電圧範囲は一定となりばらつかない。

【0049】図18に示した電流発生手段は図19に示すように逆対数変換回路の電流 I_{20} を始めとするバイアス電流を、 $ln4$ 倍の VT が集積化した抵抗 R_{int} にかかるようにトランジスタ $QB1$ と $QB2$ のエミッタ面積比を1:4にとる構成をした VT 比例電流源で得られる電流をカレントミラー回路($QB16$ 、 $QB17$ 、 R_{int2} 、 R_{ext})で複製する際に図示するように一方の抵抗を積回路の外部に設けた抵抗 R_{ext} とし、たとえば、 $R_{int2}=R_{ext}$ とすることで、トランジスタ $QB17$ に流れる電流を $(ln4 \cdot VT) / R_{ext}$

として実現しても良い。

【0050】以上説明したように逆対数変換回路で用いる電流源は、集積回路の外側に設けた抵抗素子 R_{ext} の値に逆比例をするように電流を発生させるようになると、集積化した抵抗素子がばらついてもトランスコンダクタンス及び線形入力電圧範囲をばらつかないようにすることができる。

【0051】

【発明の効果】以上説明してきたように、本発明の対数変換回路及びトランスコンダクターによれば線形入力範囲及び同相入力電圧が広く、かつ安定に動作する対数変換回路及びトランスコンダクターを提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の対数変換回路の説明図である。

【図2】本発明の第1の実施の形態の対数変換回路の動作説明図である。

【図3】本発明の第1の実施の形態の対数変換回路を用いたトランスコンダクターの入力電圧-出力電流の特性図である。

【図4】本発明の第2の実施の形態の対数変換回路の説明図である。

【図5】本発明の第2の実施の形態の対数変換回路の動作説明図である。

【図6】本発明の第2の実施の形態の対数変換回路を用いたトランスコンダクターの入力電圧-出力電流の特性図である。

【図7】本発明の第3の実施の形態の対数変換回路の説明図である。

【図8】本発明の第4の実施の形態の対数変換回路の説明図である。

【図9】本発明の第4の実施の形態の対数変換回路の動作説明図である。

【図10】本発明の第4の実施の形態の対数変換回路を用いたトランスコンダクターの入力電圧-出力電流の特性図である。

【図11】本発明の第5の実施の形態の対数変換回路の説明図である。

【図12】本発明のトランスコンダクターを用いたアクティピフィルタの構成図である。

【図13】本発明のトランスコンダクターの構成図である。

【図14】従来の対数変換回路を示す構成図である。

【図15】従来の対数変換回路の動作を示す動作説明図である。

【図16】従来の対数変換回路を用いたトランスコンダクターの入力本発明のトランスコンダクターの入力電圧-出力

【図17】従来の対数変換回路の動作を示す動作説明図である。

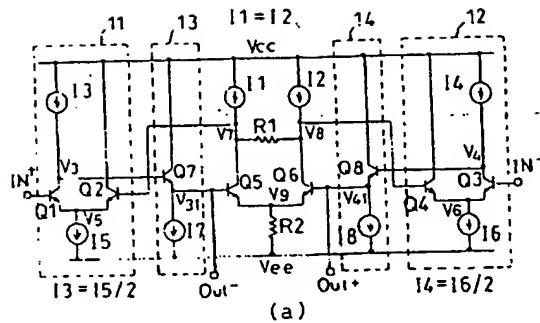
【図18】本発明のトランスコンダクターを示す説明図である。

【図19】本発明のトランスコンダクターを示す説明図である。

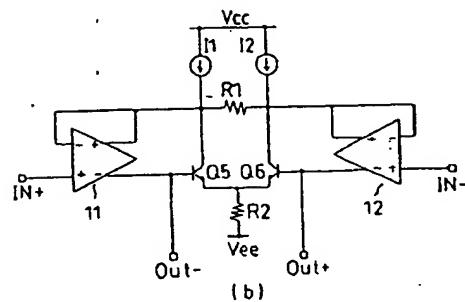
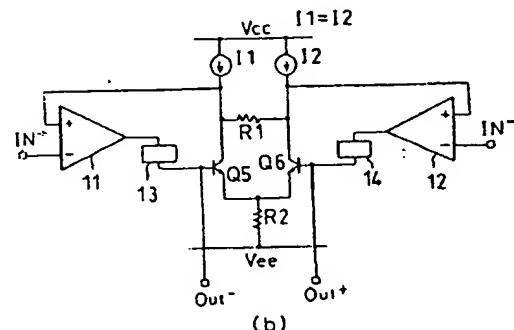
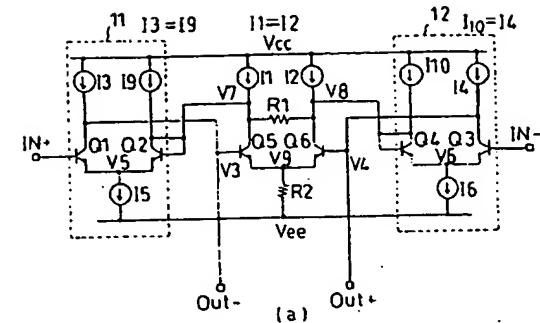
【符号の説明】

- 1 . . . 対数変換回路
- 2 . . . 逆対数変換回路
- 11, 12 . . . 増幅手段
- 13, 14 . . . レベルシフト手段
- $Q1 \sim Q8$. . . トランジスタ
- $IN+$, $IN-$. . . 入力端子
- $Out+$, $Out-$. . . 対数変換回路の出力端子
- $I1 \sim I10$. . . 電流源
- Vcc . . . 第1の電源電位点
- Vee . . . 第2の電源電位点
- $R1, R2$. . . 抵抗

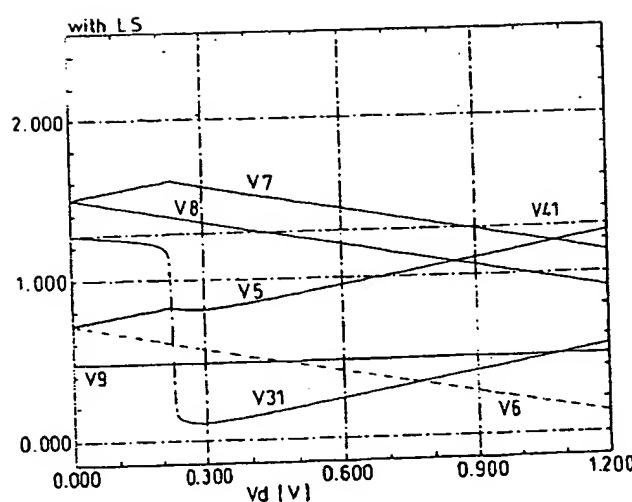
[図1]



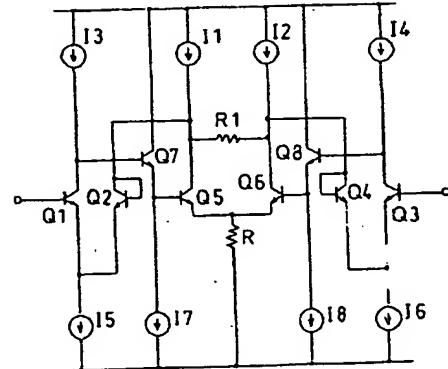
[図4]



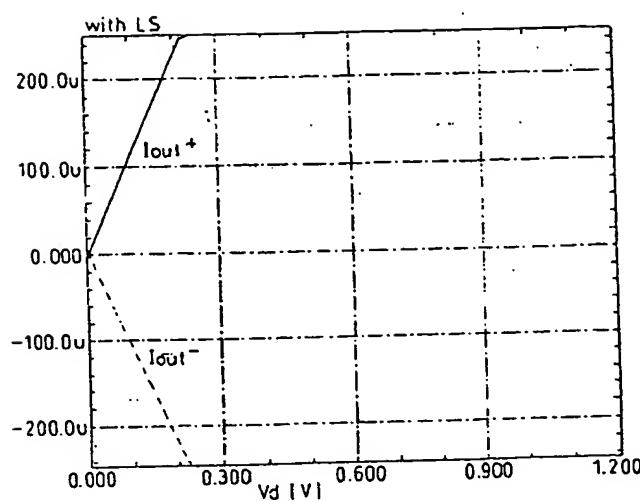
[図2]



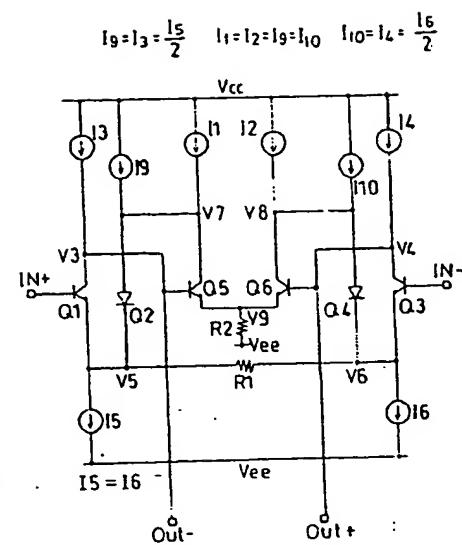
[図7]



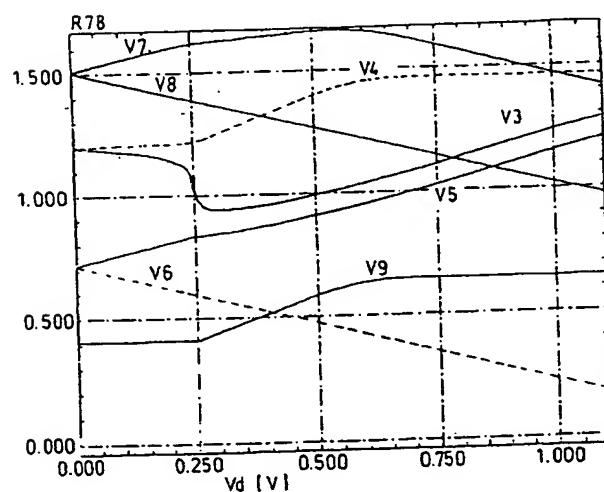
[図3]



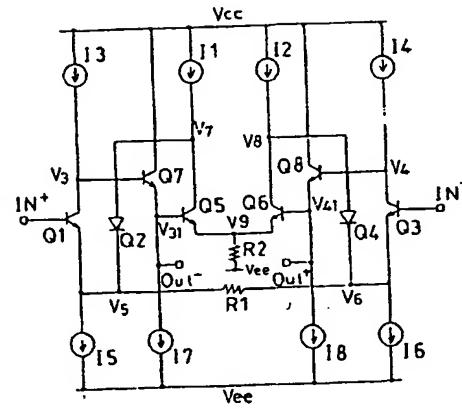
[図8]



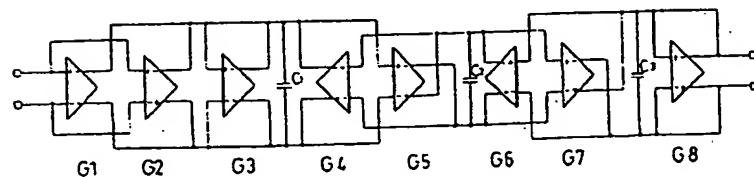
[図5]



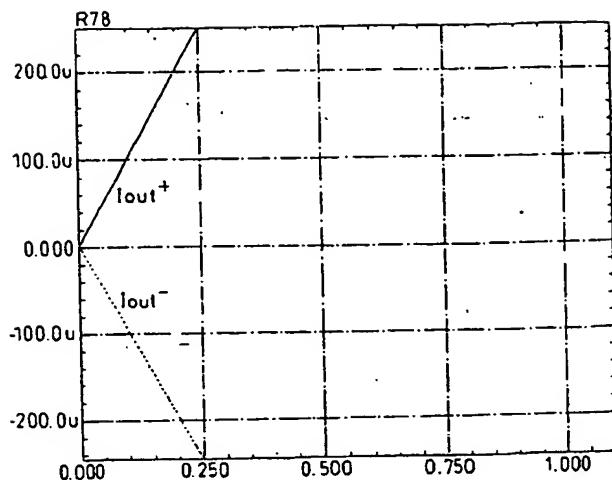
[図11]



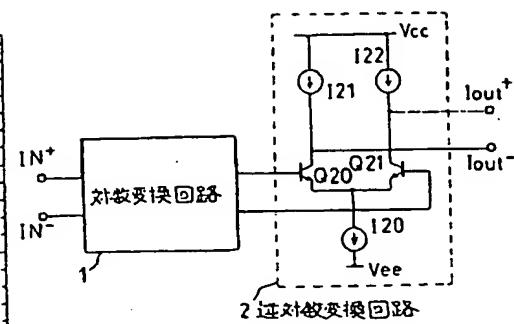
[図12]



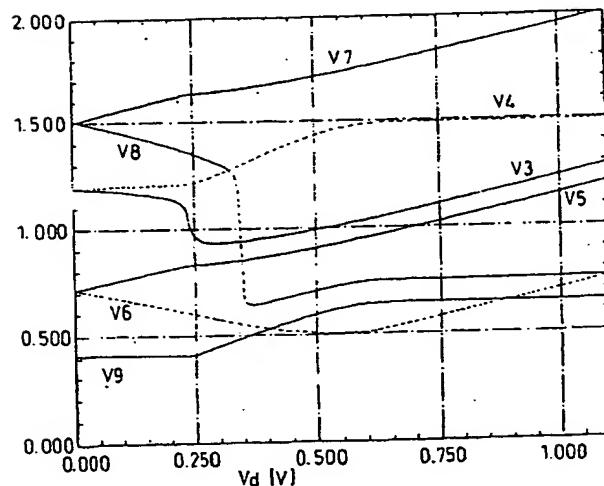
[図6]



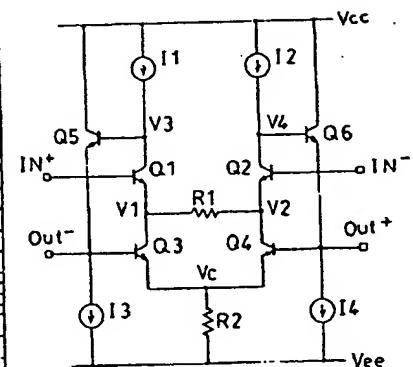
[図13]



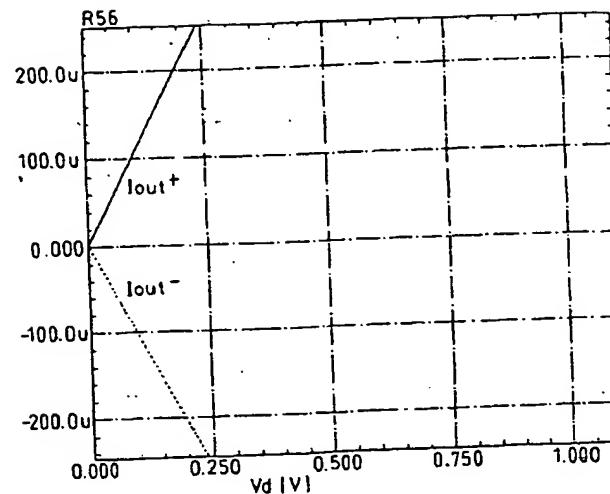
[図9]



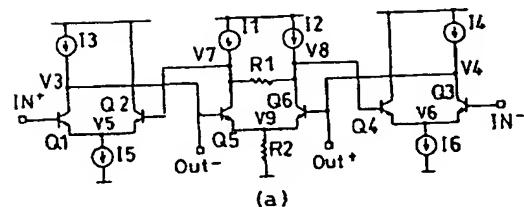
[図14]



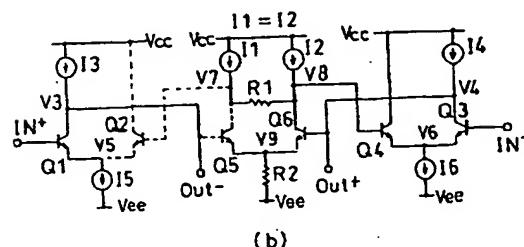
(四) 10)



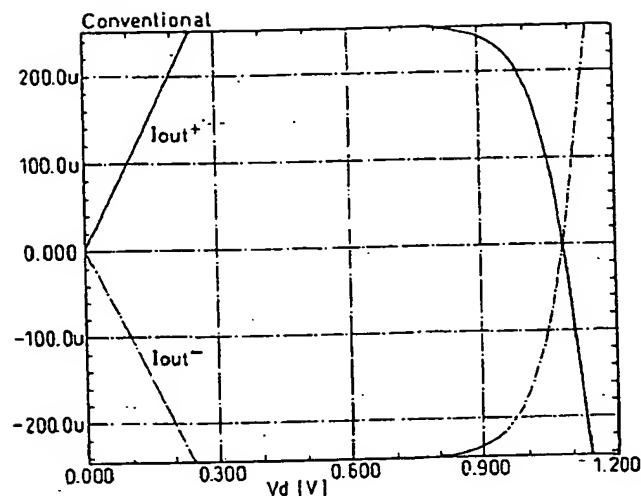
〔图15〕



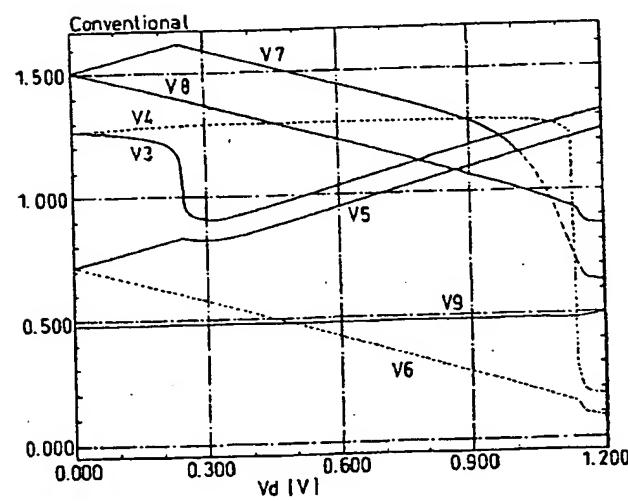
(a)



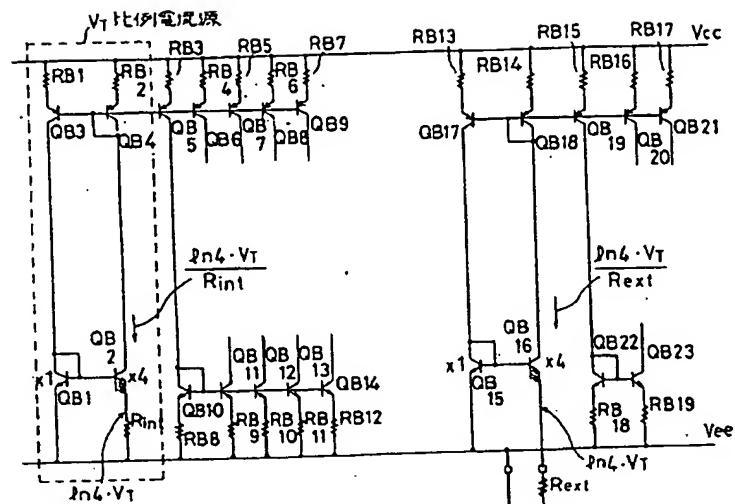
{ 16 }



(17)



[図18]



[図19]

